

日 本 国 特 許 庁
JAPAN PATENT OFFICE

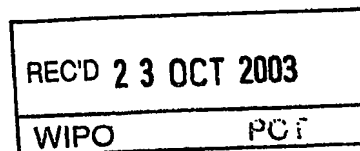
09.09.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年 9月10日

出 願 番 号
Application Number: 特願2002-264821
[ST. 10/C]: [JP2002-264821]



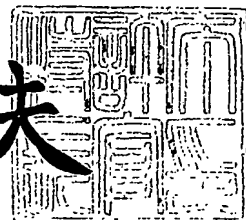
出 願 人
Applicant(s): TDK株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年10月 9日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 P02019

【提出日】 平成14年 9月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01G 4/12
H01G 4/38

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 富樫 正明

【発明者】

【住所又は居所】 秋田県由利郡仁賀保町平沢字前田 1 5 1 ティーディーケイ エムシーシー株式会社内

【氏名】 安彦 泰介

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100101269

【弁理士】

【氏名又は名称】 飯塚 道夫

【電話番号】 03-5951-0615

【手数料の表示】

【予納台帳番号】 065766

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層コンデンサ

【特許請求の範囲】

【請求項 1】 複数の誘電体シートが積層されて形成される誘電体素体内に、誘電体シート間に挟まれる形で複数の導体がそれぞれ配置される積層コンデンサであって、

同一平面内において相互に並んで延びる形に分割されて、誘電体素体の相互に対向する二側面に交互に引き出される複数の第 1 分割導体と、

複数の第 1 分割導体と積層方向でそれぞれ重複した位置に配置される形に同一平面内において分割され且つ、重複した各第 1 分割導体とそれぞれ逆方向になる形で交互に引き出される複数の第 2 分割導体と、

複数の第 1 分割導体が引き出された二側面と異なる誘電体素体の相互に対向する二側面にそれぞれ引き出される一対の内部導体と、

で上記複数の導体が構成され、

複数の第 1 分割導体が配置された部分と複数の第 2 分割導体が配置された部分との間に一対の内部導体の内の何れか一つの内部導体が配置されたことを特徴とする積層コンデンサ。

【請求項 2】 誘電体素体の相互に対向する二側面にそれぞれ配置され且つ、複数の第 1 分割導体及び複数の第 2 分割導体にそれぞれ接続される複数対の第 1 端子電極と、

複数対の第 1 端子電極が配置される二側面と異なる誘電体素体の相互に対向する二側面にそれぞれ配置され且つ、一対の内部導体にそれぞれ接続される一対の第 2 端子電極と、

を備えることを特徴とする請求項 1 記載の積層コンデンサ。

【請求項 3】 誘電体素体が直方体形状に形成されたことを特徴とする請求項 1 或いは請求項 2 に記載の積層コンデンサ。

【請求項 4】 複数の第 1 分割導体及び複数の第 2 分割導体と一対の内部導体とが、それぞれ誘電体素体内に複数組配置されたことを特徴とする請求項 1 から請求項 3 の何れかに記載の積層コンデンサ。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、等価直列インダクタンス（ESL）を大幅に低減した積層コンデンサに係り、特にデカップリングコンデンサとして用いられる積層セラミックコンデンサに好適なものである。

【0002】**【従来の技術】**

近年、情報処理装置に用いられるCPU（主演算処理装置）は、処理スピードの向上及び高集積化によって、動作周波数が高くなる共に消費電流が著しく増加している。そしてこれに伴い、消費電力の低減化によって動作電圧が減少する傾向にあった。従って、CPUに電力を供給する為の電源では、より高速で大きな電流変動が生じるようになり、この電流変動に伴う電圧変動をこの電源の許容値内に抑えることが非常に困難になった。

【0003】

この為、図6に示すように、デカップリングコンデンサと呼ばれる積層コンデンサ100が電源102に接続される形で、電源の安定化対策に頻繁に使用されるようになった。そして、電流の高速で過渡的な変動時に素早い充放電によって、この積層コンデンサ100からCPU104に電流を供給して、電源102の電圧変動を抑えるようにしている。

【0004】**【発明が解決しようとする課題】**

しかし、今日のCPUの動作周波数の一層の高周波数化に伴って、電流変動はより高速且つ大きなものとなり、図6に示す積層コンデンサ100自身が有している等価直列インダクタンス（ESL）が、電源の電圧変動に大きく影響するようになった。

【0005】

つまり、図6に示すCPU104の電源回路に用いられる従来の積層コンデンサ100では、その等価回路を表す図8に示された寄生成分であるESLが高い

ことから、図7に示す電流 I の変動に伴って、この ESL が積層コンデンサ 100 の充放電を阻害するようになる。この為、上記と同様に電源の電圧 V の変動が図7のように大きくなり易く、今後のCPUの高速化には適応できなくなりつつあった。

【0006】

この理由は、電流の過渡時である充放電時における電圧変動が下記の式1で近似され、 ESL の高低が電源の電圧変動の大きさと関係するからである。

$$dV = ESL \cdot di / dt \cdots \text{式1}$$

ここで、 dV は過渡時の電圧変動 (V) であり、 i は電流変動量 (A) であり、 t は変動時間 (秒) である。

【0007】

尚、図9に示す従来の積層コンデンサは、図10に示す二種類の内部導体 114、116 をそれぞれ設置した一对のセラミック層 112A が交互に積層されて、誘電体素体 112 が形成される構造となっている。また、二種類の内部導体 114、116 は、誘電体素体 112 の相互に対向する二つの側面 112B、112C にそれぞれ引き出され、誘電体素体 112 の外部に配置された端子電極 118、120 にそれぞれ接続される形になっていた。

本発明は上記事実を考慮し、 ESL を大幅に低減した積層コンデンサを提供することを目的とする。

【0008】

【課題を解決するための手段】

請求項1による積層コンデンサは、複数の誘電体シートが積層されて形成される誘電体素体内に、誘電体シート間に挟まれる形で複数の導体がそれぞれ配置される積層コンデンサであって、

同一平面内において相互に並んで延びる形に分割されて、誘電体素体の相互に対向する二側面に交互に引き出される複数の第1分割導体と、

複数の第1分割導体と積層方向でそれぞれ重複した位置に配置される形に同一平面内において分割され且つ、重複した各第1分割導体とそれぞれ逆方向になる形で交互に引き出される複数の第2分割導体と、

複数の第1分割導体が引き出された二側面と異なる誘電体素体の相互に対向する二側面にそれぞれ引き出される一対の内部導体と、

で上記複数の導体が構成され、

複数の第1分割導体が配置された部分と複数の第2分割導体が配置された部分との間に一対の内部導体の内の何れか一つの内部導体が配置されたことを特徴とする。

【0009】

請求項1に係る積層コンデンサによれば、複数の誘電体シートが積層されて形成される誘電体素体内に、誘電体シート間に挟まれる形で複数の導体がそれぞれ配置される構成を有している。さらに、同一平面内において相互に並んで延びる形に分割された複数の第1分割導体が、誘電体素体の相互に対向する二側面に交互に引き出されている。

【0010】

また、複数の第1分割導体と積層方向でそれぞれ重複した位置に配置される形に同一平面内において分割された複数の第2分割導体が、重複した各第1分割導体とそれぞれ逆方向になる形で、誘電体素体の相互に対向する二側面に交互に引き出されている。そして、複数の第1分割導体が引き出された二側面と異なる誘電体素体の相互に対向する二側面に、一対の内部導体がそれぞれ引き出されている。

【0011】

つまり、これら複数の第1分割導体、複数の第2分割導体及び一対の内部導体により、上記複数の導体が構成されており、本請求項では、一対の内部導体の内の何れか一つの内部導体が、複数の第1分割導体が配置された部分と複数の第2分割導体が配置された部分との間に、配置されている。

【0012】

従って、それぞれ複数の第1分割導体及び第2分割導体の間に一つの内部導体が挟まれている為、これらそれぞれ複数の第1分割導体及び第2分割導体が相互に同極となる。また、それぞれ複数の第1分割導体及び第2分割導体の内の積層方向で相互に重複して位置する第1分割導体と第2分割導体とが、誘電体素体の

対向する二側面にそれぞれ引き出される構造に本請求項はなっている。この為、これら第1分割導体と第2分割導体との間において、電流が相互に逆向きに流れるようになる。

【0013】

この一方、一对の内部導体間においても、複数の第1分割導体或いは複数の第2分割導体の何れかが配置される形となるので、これら一对の内部導体が相互に同極となり、また、それぞれ誘電体素体の対向する二側面に一对の内部導体がそれぞれ引き出される構造となっているので、同様の理由から電流が相互に逆向きに流れるようになる。

【0014】

さらに、同一平面内において相互に並んで延びる形に分割された複数の第1分割導体が、誘電体素体の相互に対向する二側面に交互に引き出されているので、隣り合う第1分割導体同士間でも、電流が相互に逆向きに流れるようになる。また、重複した位置の各第1分割導体とそれぞれ逆方向になる形で、誘電体素体の相互に対向する二側面に交互に引き出されている各第2分割導体も、同様の理由により、隣り合うもの同士間で電流が相互に逆向きに流れるようになる。

【0015】

従って、複数の第1分割導体と複数の第2分割導体との間で電流が逆向きに流れ、また、一对の内部導体間で電流が逆向きに流れることで、磁界を相殺する作用がそれぞれ生じるだけでなく、同一平面内において相互に並んで延びて隣り合う第1分割導体同士や第2分割導体同士でも電流が相互に逆向きに流れて、磁界を相殺する作用が生じるようになる。

【0016】

そして、これら各導体間での磁界の相殺作用が生じるのに伴って、積層コンデンサ自体が持つ寄生インダクタンスを少なくでき、等価直列インダクタンスを低減する効果が生じるようになる。

以上より、本請求項に係る積層コンデンサによれば、デカップリングコンデンサとして好適なように積層コンデンサの大幅な低ESL化が図られて、高周波数帯域での減衰量が大きくなるのに伴い、電源の電圧変動を抑制できるようになり

、CPUの電源においてより高い効果を得ることができる。

【0017】

請求項2に係る積層コンデンサによれば、請求項1の積層コンデンサと同様の構成の他に、誘電体素体の相互に対向する二側面にそれぞれ配置され且つ、複数の第1分割導体及び複数の第2分割導体にそれぞれ接続される複数対の第1端子電極と、複数対の第1端子電極が配置される二側面と異なる誘電体素体の相互に対向する二側面にそれぞれ配置され且つ、一对の内部導体にそれぞれ接続される一对の第2端子電極と、を備えるという構成を有している。

【0018】

つまり、相互に対向する複数対の第1端子電極が相互に同極性を有する形に請求項1の積層コンデンサの外部に接続され、また、相互に対向する一对の第2端子電極が相互に同極性を有する形に同じく請求項1の積層コンデンサの外部に接続されることで、第1分割導体及び第2分割導体が確実に相互に同極となると共に、一对の内部導体同士が確実に相互に同極となるので、請求項1の作用効果をより確実に達成できるようになる。

【0019】

請求項3に係る積層コンデンサによれば、請求項1及び請求項2の積層コンデンサと同様の構成の他に、誘電体素体が直方体形状に形成されるという構成を有している。つまり、誘電体シートがそれぞれ長方形等の四辺形に形成され、これら誘電体シートが積層されることで、直方体形状に誘電体素体が形成されるようになる。

【0020】

そして、それぞれ誘電体素体の二側面づつに引き出されている複数の第1分割導体と複数の第2分割導体及び、これらと異なる二側面に引き出されている一对の内部導体を請求項1の積層コンデンサは有していることから、生産性の観点から最適な四つの側面を有する直方体形状に形成された誘電体素体の全ての側面に導体の引き出し部分が設けられる形になり、ESLが低減される効果が最大限に発揮されるようになる。

【0021】

請求項 4 に係る積層コンデンサによれば、請求項 1 から請求項 3 の積層コンデンサと同様の構成の他に、複数の第 1 分割導体及び複数の第 2 分割導体と一对の内部導体とが、それぞれ誘電体素体内に複数組配置されるという構成を有している。従って、これら導体をそれぞれ誘電体素体内に複数組配置することで、本請求項に係る積層コンデンサの静電容量が高まるだけでなく磁界を相殺する作用がさらに大きくなり、インダクタンスがより大幅に減少して ESL が一層低減されるようになる。

【0022】

【発明の実施の形態】

以下、本発明に係る積層コンデンサの一実施の形態を図面に基づき説明する。

本実施の形態に係る積層コンデンサである積層セラミックコンデンサ（以下単に、積層コンデンサと言う）10 を図 1 から図 3 に示す。これらの図に示すように、誘電体シートであるセラミックグリーンシートを複数枚積層した積層体を焼成することで得られた直方体状の焼結体である誘電体素体 12 を主要部として、この積層コンデンサ 10 が構成されている。この誘電体素体 12 内には、分割導体 21、22、23、内部導体 27、分割導体 24、25、26 及び内部導体 28 が、上から順に配置されていて、それぞれの層間には、セラミック層 12A がそれぞれ配置されている。

【0023】

つまり、本実施の形態では、焼成後の誘電体シートであるセラミック層 12A がそれぞれの間に挟まれつつ、分割導体 21～23、内部導体 27、分割導体 24～26 及び内部導体 28 が順に誘電体素体 12 内に配置されており、さらに内部導体 28 の下側には、図 3 に示すように、上記と同じ順序でこれら 4 層の電極が繰返されてこれらの組が計二組配置されている。尚、これらそれぞれ略長方形に形成された分割導体 21～26 及び、それぞれ略正方形に形成された内部導体 27、28 の材質としては、卑金属材料であるニッケル、ニッケル合金、銅或いは、銅合金が考えられるだけでなく、これらの金属を主成分とする材料が考えられる。

【0024】

さらに、図1から図3に示すように、分割導体21、23の奥側部分には、誘電体素体12の奥側の側面12B（図2に示す）に引き出される引出部21A、23Aがそれぞれ形成されていて、この引き出された側面12Bから対向する側面12D（図2に示す）に向かってこれら分割導体21、23がそれぞれ延びる形となっている。

【0025】

これら分割導体21、23の間に配置された分割導体22の手前側部分には、誘電体素体12の手前側の側面12Dに引き出される引出部22Aが形成されていて、この引き出された側面12Dから対向する側面12Bに向かってこの分割導体22が延びる形となっている。

つまり、これら複数（本形態では3つ）の第1分割導体である分割導体21、22、23は、同一平面内において相互に並んで延びる形に分割されて、誘電体素体12の相互に対向する二側面12B、12Dに交互に引き出される構造とされている。

【0026】

これら分割導体21～23の下側には、内部導体27が配置されており、この内部導体27の左側部分には、誘電体素体12の左側の側面12C（図2に示す）に引き出される引出部27Aが形成されていて、この引き出された側面12Cから対向する側面12E（図2に示す）に向かってこの内部導体27が延びる形となっている。

【0027】

この内部導体27の下側には、複数（本形態では3つ）の分割導体24、25、26が配置されている。この内の分割導体24、26の手前側部分には、誘電体素体12の手前側の側面12Dに引き出される引出部24A、26Aがそれぞれ形成されていて、この引き出された側面12Dから対向する側面12Bに向かってこれら分割導体24、26がそれぞれ延びる形となっている。

【0028】

これら分割導体24、26の間に配置された分割導体25の奥側部分には、誘電体素体12の奥側の側面12Bに引き出される引出部25Aが形成されていて

、この引き出された側面 12B から対向する側面 12D に向かってこの分割導体 25 が延びる形となっている。

つまり、これら複数（本形態では 3 つ）の第 2 分割導体である分割導体 24、25、26 は、同一平面内において相互に並んで延びる形に分割されて、誘電体素体 12 の相互に対向する二側面 12D、12B に交互であって、上記の分割導体 21、22、23 と逆に引き出される構造とされている。

【0029】

これら分割導体 24～26 の下側には、内部導体 28 が配置されており、この内部導体 28 の右側部分には、誘電体素体 12 の右側の側面 12E に引き出される引出部 28A が形成されていて、この引き出された側面 12E から対向する側面 12C に向かってこの内部導体 28 が延びる形となっている。

【0030】

以上より、相互に対向する二側面 12B、12D に引き出される分割導体 21 と分割導体 24 とが、間に内部導体 27 が存在するものの、積層方向（矢印 Z で示す方向）で相互に対向して位置した形とされている。さらに、同様に引き出される分割導体 22 と分割導体 25 とが、間に内部導体 27 が存在するものの、積層方向で相互に対向して位置した形とされており、また、同様に引き出される分割導体 23 と分割導体 26 とが、間に内部導体 27 が存在するものの、積層方向で相互に対向して位置した形とされている。尚、分割導体 24、25、26 と、これらの下側に配置された図 3 に示す分割導体 21、22、23 との間でも、上記と同様の関係とされている。

【0031】

そして、これら 6 つの分割導体 21～26 がそれぞれ引き出された相互に対向する二側面 12B、12D と異なる誘電体素体 12 の相互に対向する二側面 12C、12E に、一対の内部導体 27、28 がそれぞれ引き出された構造に、本実施の形態の積層コンデンサ 10 はなっている。

【0032】

他方、図 2 に示すように、各分割導体 21、22、23 の引出部 21A、22A、23A にそれぞれ接続されるように、複数（本形態では 3 つ）の端子電極 3

1、32、33が誘電体素体12の側面12B、12Dに交互に位置する形で、誘電体素体12の外側に配置されている。また、各分割導体24、25、26の引出部24A、25A、26Aにそれぞれ接続されるように、同じく複数（本形態では3つ）の端子電極34、35、36が誘電体素体12の側面12D、12Bに交互に位置する形で、誘電体素体12の外側に配置されている。

【0033】

さらに、内部導体27の引出部27Aに接続されるように、端子電極37が誘電体素体12の側面12Cに位置する形で、誘電体素体12の外側に配置されており、また、内部導体28の引出部28Aに接続されるように、同じく端子電極38が誘電体素体12の側面12Eに位置する形で、誘電体素体12の外側に配置されている。

【0034】

つまり、図2に示すように、これら端子電極31、32、33及び端子電極34、35、36が、誘電体素体12の相互に対向する二側面12B、12Dにそれぞれ配置されており、また、端子電極37及び端子電極38が、端子電極31～36の配置される二側面12B、12Dと異なる誘電体素体12の相互に対向する二側面12C、12Eにそれぞれ配置されている。

【0035】

以上のように、本実施の形態はアレイ型の積層コンデンサの例であり、これらの分割導体21～26が引き出された二側面12B、12Dと異なる誘電体素体12の二側面12C、12Eにそれぞれ引き出された引出部27A、28Aを有する一対の内部導体27、28が、セラミック層12Aを介して、分割導体21～23及び分割導体24～26と積層方向（矢印Zで示す方向）で対向してそれぞれ配置されている。

【0036】

従って、本実施の形態は、図1及び図3において分割導体21～23と分割導体24～26との間に内部導体27が配置され、また、内部導体27と内部導体28との間に分割導体24～26が配置される構造になっている。つまり、分割導体21～23と内部導体27との間、内部導体27と分割導体24～26との

間、分割導体 24～26 と内部導体 28 との間が、コンデンサの相互に対向する電極をそれぞれ構成し、コンデンサとしての機能を生じるようになる。

【0037】

そして、本実施の形態では、分割導体 21～26 にそれぞれ接続されて二側面 12B、12D に配置される端子電極 31～36 が複数対の第 1 端子電極を構成することになり、内部導体 27、28 にそれぞれ接続されて二側面 12C、12E に配置される端子電極 37、38 が一对の第 2 端子電極を構成することになる。この為、本実施の形態に係る積層コンデンサ 10 は、直方体である六面体形状とされる誘電体素体 12 の四つの側面 12B～12E 全てに、端子電極 31～36 及び端子電極 37、38 がそれぞれ配置される構造になっている。

【0038】

次に、本実施の形態に係る積層コンデンサ 10 の作用を説明する。

本実施の形態に係る積層コンデンサ 10 によれば、それぞれセラミック層 12A となる複数の誘電体シートが積層されて直方体形状に形成される誘電体素体 12 内に、これらセラミック層 12A 間に挟まれる形で複数の導体がそれぞれ配置される構成を有している。

【0039】

さらに、同一平面内において相互に並んで延びる形に 3 つに分割された分割導体 21～23 が、誘電体素体 12 の相互に対向する二側面 12B、12D に交互に引き出されている。また、これら分割導体 21～23 と積層方向でそれぞれ重複した位置に配置される形に、同一平面内において 3 つに分割された分割導体 24～26 が、重複した各分割導体 21～23 とそれぞれ逆方向になる形で、誘電体素体 12 の相互に対向する二側面 12D、12B に交互に引き出されている。そして、これらの分割導体 21～26 が引き出された二側面 12B、12D と異なる誘電体素体 12 の相互に対向する二側面 12C、12E に、一对の内部導体 27、28 がそれぞれ引き出されている。

【0040】

つまり、これら分割導体 21～26 及び一对の内部導体 27、28 により、上記複数の導体が構成されており、本実施の形態では、一对の内部導体 27、28

の内の例えば内部導体 27 が、分割導体 21～23 が配置された部分と分割導体 24～26 が配置された部分との間に、配置されている。

【0041】

そして、誘電体素体 12 の相互に対向する二側面 12B、12D にそれぞれ配置される複数対（本形態では 3 対）の端子電極 31～36 が、上記の分割導体 21～23 及び分割導体 24～26 にそれぞれ接続されている。他方、これら 3 対の端子電極 31～36 が配置される二側面 12B、12D と異なる誘電体素体 12 の相互に対向する二側面 12C、12E にそれぞれ配置される一対の端子電極 37、38 が、上記の一対の内部導体 27、28 にそれぞれ接続されている。

【0042】

具体的に本実施の形態の積層コンデンサ 10 では、それぞれ 3 つの分割導体 21～23 及び分割導体 24～26 の内の積層方向で相互に重複して位置する分割導体 21 と分割導体 24 とが、一対の端子電極 31、34 にそれぞれ接続され、分割導体 22 と分割導体 25 とが、一対の端子電極 32、35 にそれぞれ接続され、分割導体 23 と分割導体 26 とが、一対の端子電極 33、36 にそれぞれ接続されている。さらに、それぞれ 3 つの分割導体 21～23 及び分割導体 24～26 の間に一つの内部導体 27、28 が挟まれる構造となっている。

【0043】

そして、コンデンサとしての機能を発揮するように、これら相互に対向する 3 対の端子電極 31～36 が相互に同極性を有する形に積層コンデンサ 10 の外部の配線等に接続されれば、これら分割導体 21～23 及び分割導体 24～26 内において、図 1 の矢印で示す形に電流が相互に逆向きに流れつつ、それぞれ 3 つの分割導体 21～23 及び分割導体 24～26 が相互に同極となる。

【0044】

この一方、一対の内部導体 27、28 間においても 3 つの分割導体 24～26 が配置される形とされ、また、それぞれ誘電体素体 12 の対向する二側面 12C、12E に一対の内部導体 27、28 がそれぞれ引き出される構造となっている。この為、相互に対向する一対の端子電極 37、38 が相互に同極性を有する形に積層コンデンサ 10 の外部の配線等に接続されれば、これら一対の内部導体 2

7、28内において、同様の理由から図1の矢印で示す形に電流が相互に逆向きに流れつつ、一对の内部導体27、28同士が相互に同極となる。

【0045】

さらに、同一平面内において相互に並んで延びる形に分割された3つの分割導体21～23が、誘電体素体12の相互に対向する二側面12B、12Dに交互に引き出されているので、隣り合う分割導体21～23同士間でも、電流が相互に逆向きに流れるようになる。また、重複した位置の各分割導体21～23とそれぞれ逆方向になる形で、誘電体素体12の相互に対向する二側面12B、12Dに交互に引き出されている各分割導体24～26も、同様の理由により、隣り合う分割導体24～26同士間で電流が相互に逆向きに流れるようになる。

【0046】

従って、3つの分割導体21～23と3つの分割導体24～26との間で電流が逆向きに流れ、また、一对の内部導体27、28間で電流が逆向きに流れることで、磁界を相殺する作用がそれぞれ生じるだけでなく、同一平面内において相互に並んで延びて隣り合う分割導体21～23同士や分割導体24～26同士でも電流が相互に逆向きに流れて、磁界を相殺する作用が生じるようになる。

【0047】

そして、これら各導体間での磁界の相殺作用が生じるのに伴って、積層コンデンサ10自体が持つ寄生インダクタンスを少なくでき、等価直列インダクタンスを低減する効果が生じるようになる。

以上より、本実施の形態に係る積層コンデンサ10によれば、デカップリングコンデンサとして好適なように積層コンデンサ10の大幅な低ESL化が図られて、高周波数帯域での減衰量が大きくなるのに伴い、電源の電圧変動を抑制できるようになり、CPUの電源においてより高い効果を得ることができる。

【0048】

また、図3に示すように、3つの分割導体21～23、3つの分割導体24～26及び一对の内部導体27、28が、それぞれ誘電体素体12内に複数組配置されることで、本実施の形態に係る積層コンデンサ10の静電容量が高まるだけでなく、磁界を相殺する作用がさらに大きくなり、インダクタンスがより大幅に

減少して ESL が一層低減された積層コンデンサ 10 となる。

【0049】

一方、本実施の形態に係る積層コンデンサ 10 の製造に際して、それぞれ長方形等の四辺形に形成された誘電体シートを積層することで、誘電体素体 12 を直方体形状に形成した。

この結果として、本実施の形態の積層コンデンサ 10 は、それぞれ誘電体素体 12 の二側面 12B、12D づつに引き出されている 3 つの分割導体 21～23、3 つの分割導体 24～26 及び、これらと異なる二側面 12C、12E に引き出されている一対の内部導体 27、28 を有していることから、生産性の観点から最適な四つの側面 12B～12E を有する直方体形状に形成された誘電体素体 12 の全ての側面 12B～12E に導体の引き出し部分が設けられる形になるので、ESL が低減される効果が最大限に発揮されるようになる。

【0050】

次に、本実施の形態に係る積層コンデンサ 10 の使用例を図 4 に基づき説明する。

この使用例では、三組の電源 41、42、43 と CPU 等の三組の IC 51、52、53 とがそれぞれ対となって相互に接続されている。つまり、電源 41 と IC 51 とが接続され、電源 42 と IC 52 とが接続され、電源 43 と IC 53 とが接続されている。

【0051】

そして、この積層コンデンサ 10 の分割導体 21 に接続される端子電極 31 及び分割導体 24 に接続される端子電極 34 が、電源 41 と IC 51 との間にそれぞれ接続されている。さらに、分割導体 22 に接続される端子電極 32 及び分割導体 25 に接続される端子電極 35 が、電源 42 と IC 52 との間にそれぞれ接続されており、また、分割導体 23 に接続される端子電極 33 及び分割導体 26 に接続される端子電極 36 が、電源 43 と IC 53 との間にそれぞれ接続されている。この一方、内部導体 27 に接続される端子電極 37 及び内部導体 28 に接続される端子電極 38 は、それぞれ接地されている。

【0052】

以上より、この使用例によれば、例えば端子電極 31～36 が相互に同極のプラスとされると共に、端子電極 37～38 が相互に同極のマイナスとされることになり、大幅な低 E S L 化が図られた本実施の形態に係る積層コンデンサ 10 によって、電源 41、42、43 の電圧変動を抑制できるようになる。

【0053】

次に、ネットワークアナライザを用いて、以下の各試料の S パラメータの S21 特性を測定し、各試料の減衰特性をそれぞれ求めた。まず、各試料となるサンプルの内容を説明する。つまり、コンデンサとして一般的な図 9 に示す 2 端子型積層コンデンサを従来例とし、図 2 に示す実施の形態に係る多端子型積層コンデンサを実施例とした。

【0054】

ここで、減衰特性の実測値と図 8 に示す等価回路の減衰量とが合致するように、等価回路の定数を算出した。そして、図 5 に示す各試料の減衰特性のデータから、20 MHz 以上の高周波数の帯域における実施例の減衰量が、従来例に比べて約 15 dB ほど増えていることが分かる。この為、このデータによって高周波特性の改善が実施例に見られることが理解できる。

他方、算出して表 1 に表す E S L に関しても、従来例に比べて実施例は大幅に低減されており、本発明の効果がこの表 1 によっても実証されることが確認できた。

【0055】

【表 1】

	C (μ F)	ESR (m Ω)	ESL (pH)
従来例	1.038	6.3	825.2
実施例	1.062	2.8	143.4

【0056】

この表 1 で、C は静電容量であり、ESR は等価直列抵抗である。また、ここで用いた各試料の寸法としては、図 9 及び図 2 に示すように、一対の内部導体が

引き出されている誘電体素体の側面間の距離を寸法Lとし、一对の内部導体が引き出された誘電体素体の側面に対して直交する側面間の距離を寸法Wとした時に、従来例がL=2.0mmでW=1.25mmであった。また、実施例は、L=1.6mmでW=1.6mmであった。

【0057】

尚、上記実施の形態に係る積層コンデンサ10では、4層ずつで二組の計8層を有する構造とされているものの、層数はこれらの数に限定されずさらに多数とし、例えば層数を例えば数十或いは数百としても良い。また、上記実施の形態では、第1分割導体及び第2分割導体がそれぞれ3つずつ配置される構造としたが、これら第1分割導体及び第2分割導体を2つずつ或いは4つずつ以上配置するようにしても良い。

【0058】

【発明の効果】

本発明によれば、ESLを大幅に低減した積層コンデンサを提供することが可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係る積層コンデンサの分解斜視図である。

【図2】

本発明の一実施の形態に係る積層コンデンサを示す斜視図である。

【図3】

本発明の一実施の形態に係る積層コンデンサを示す断面図であって、図2の3-3矢視線断面に対応する図である。

【図4】

本発明の一実施の形態に係る積層コンデンサの使用例を示す回路図である。

【図5】

各試料の減衰特性を表すグラフを示した図である。

【図6】

従来例の積層コンデンサを採用した回路図である。

【図 7】

従来例の積層コンデンサを採用した回路における電流変動と電圧変動との関係を表すグラフを示した図である。

【図 8】

従来例に係る積層コンデンサの等価回路図である。

【図 9】

従来例に係る積層コンデンサを示す斜視図である。

【図 1 0】

従来例に係る積層コンデンサの内部導体の部分を示す分解斜視図である。

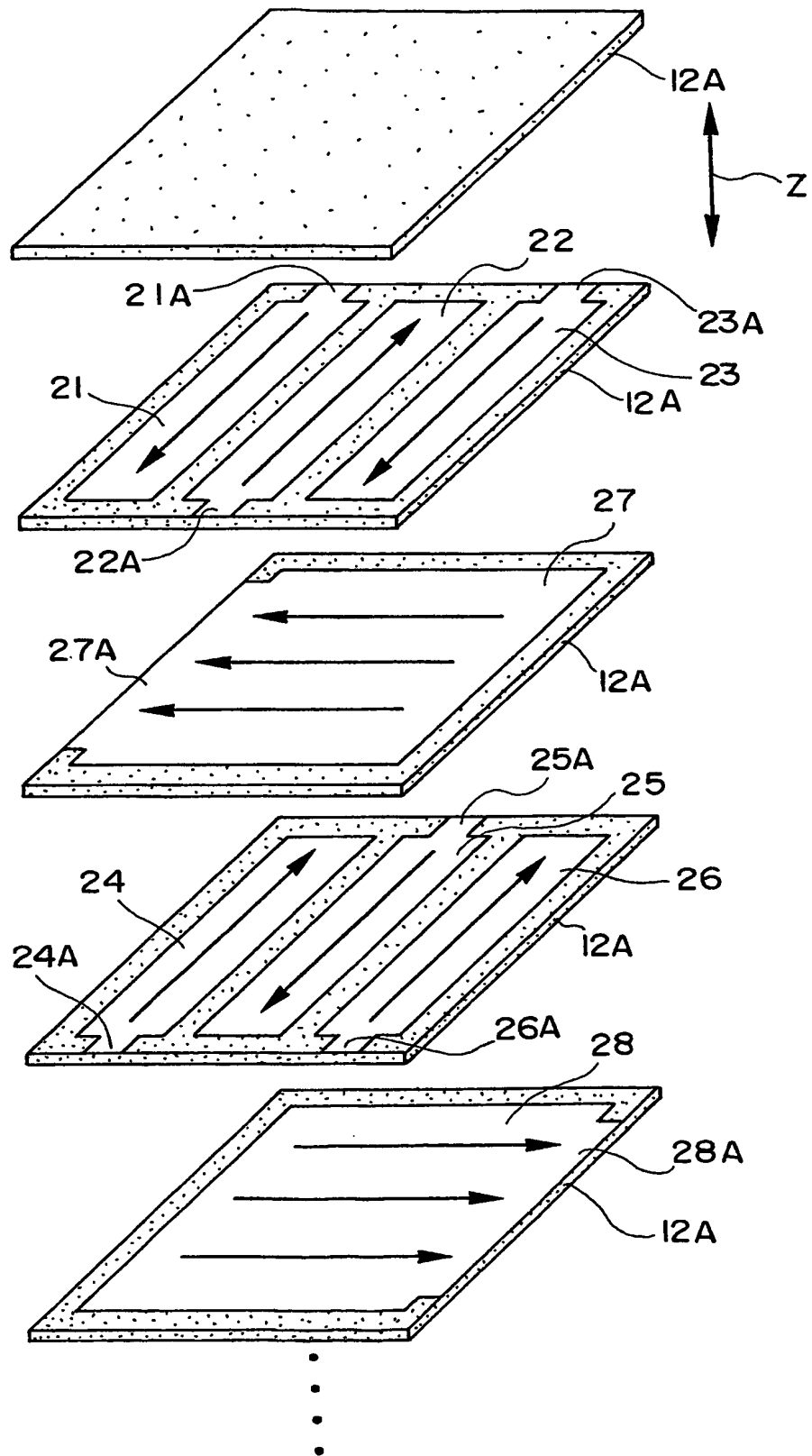
【符号の説明】

1 0	積層コンデンサ
1 2	誘電体素体
1 2 B	側面
1 2 C	側面
1 2 D	側面
1 2 E	側面
2 1 ~ 2 3	分割導体 (第 1 分割導体)
2 4 ~ 2 6	分割導体 (第 2 分割導体)
2 7、2 8	内部導体
3 1 ~ 3 6	端子電極 (第 1 端子電極)
3 7、3 8	端子電極 (第 2 端子電極)

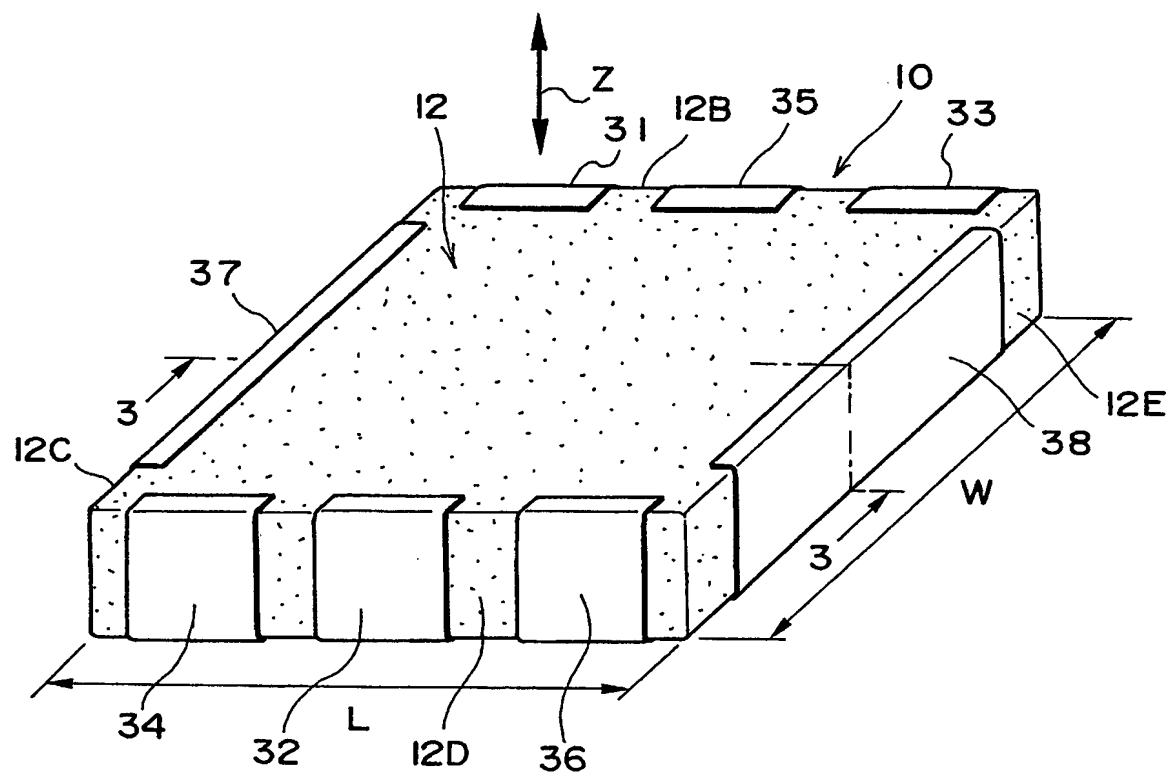
【書類名】

図面

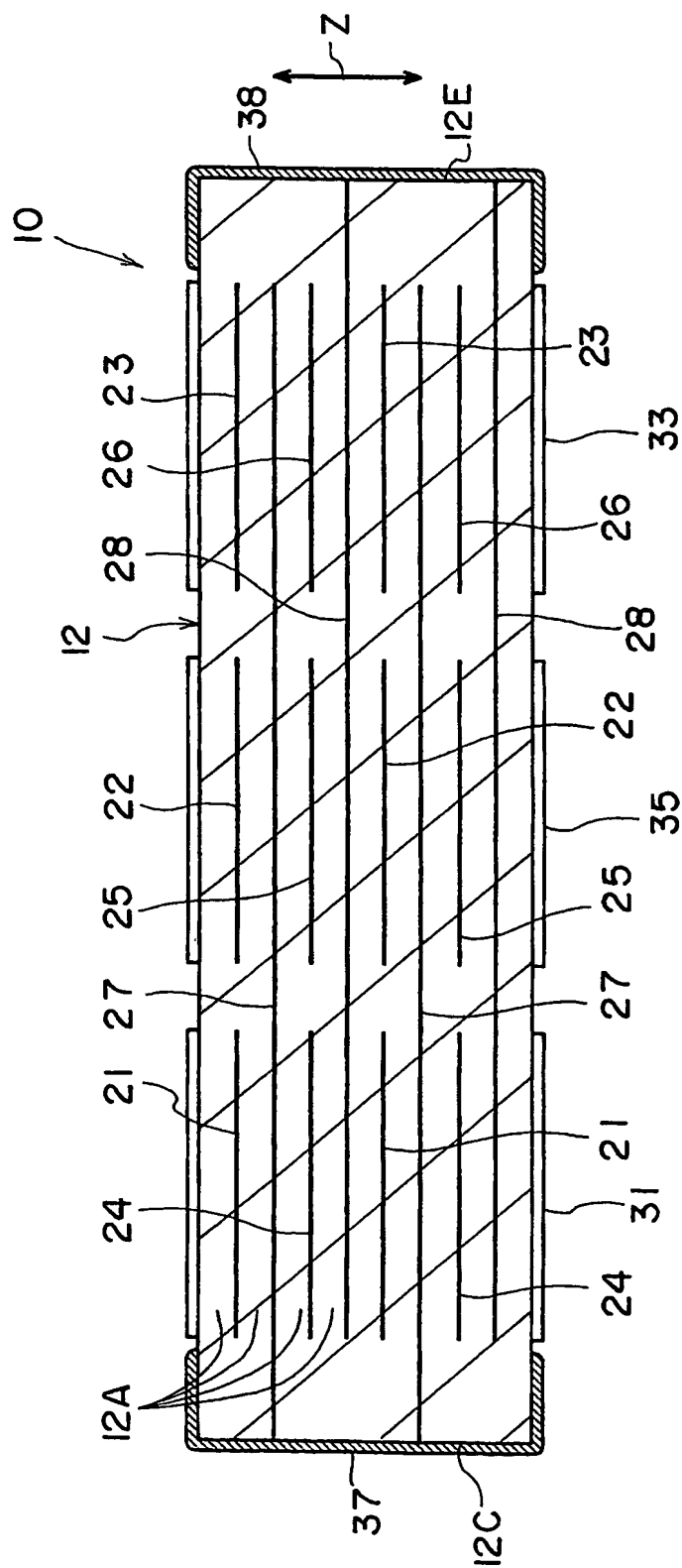
【図 1】



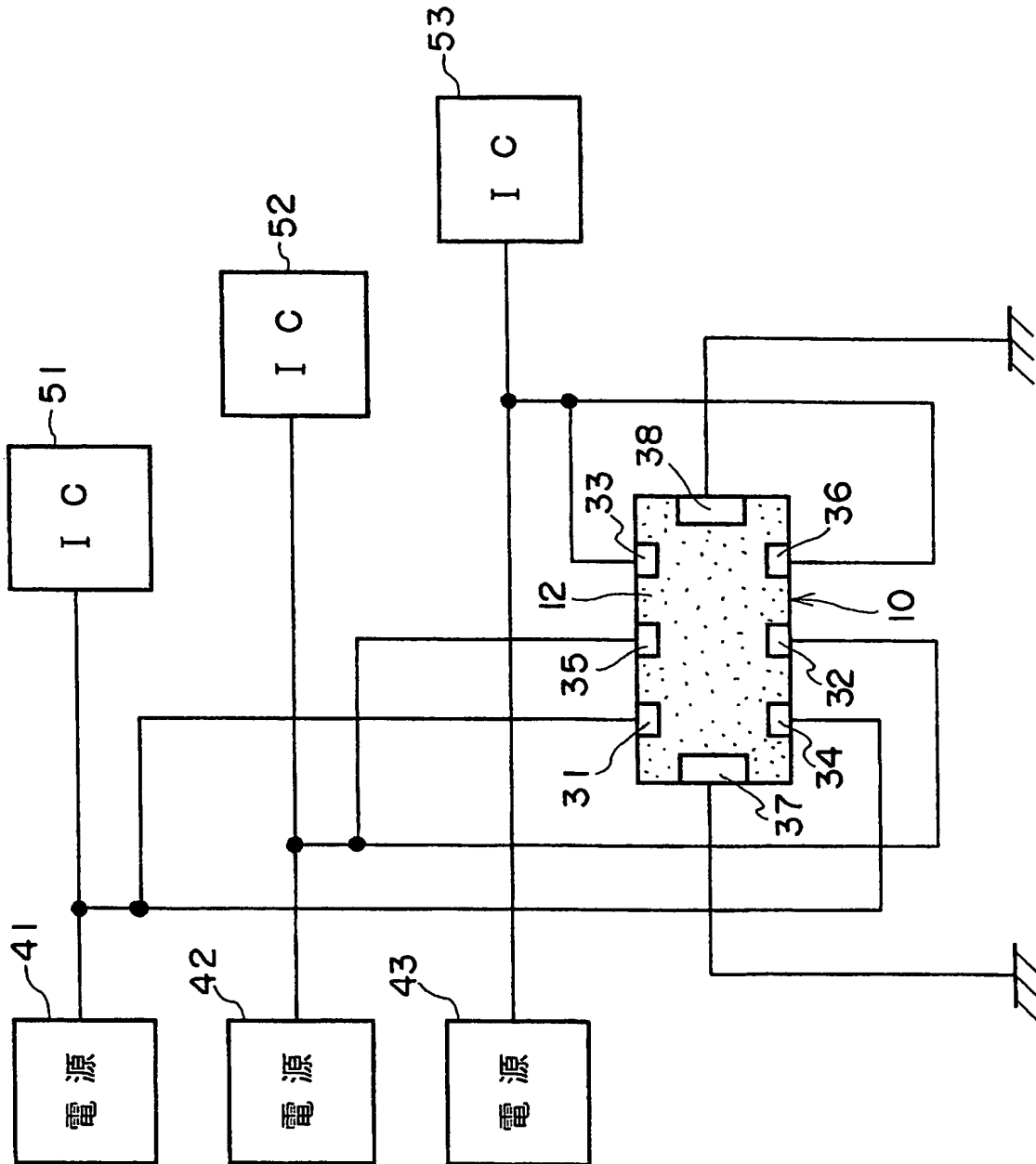
【図 2】



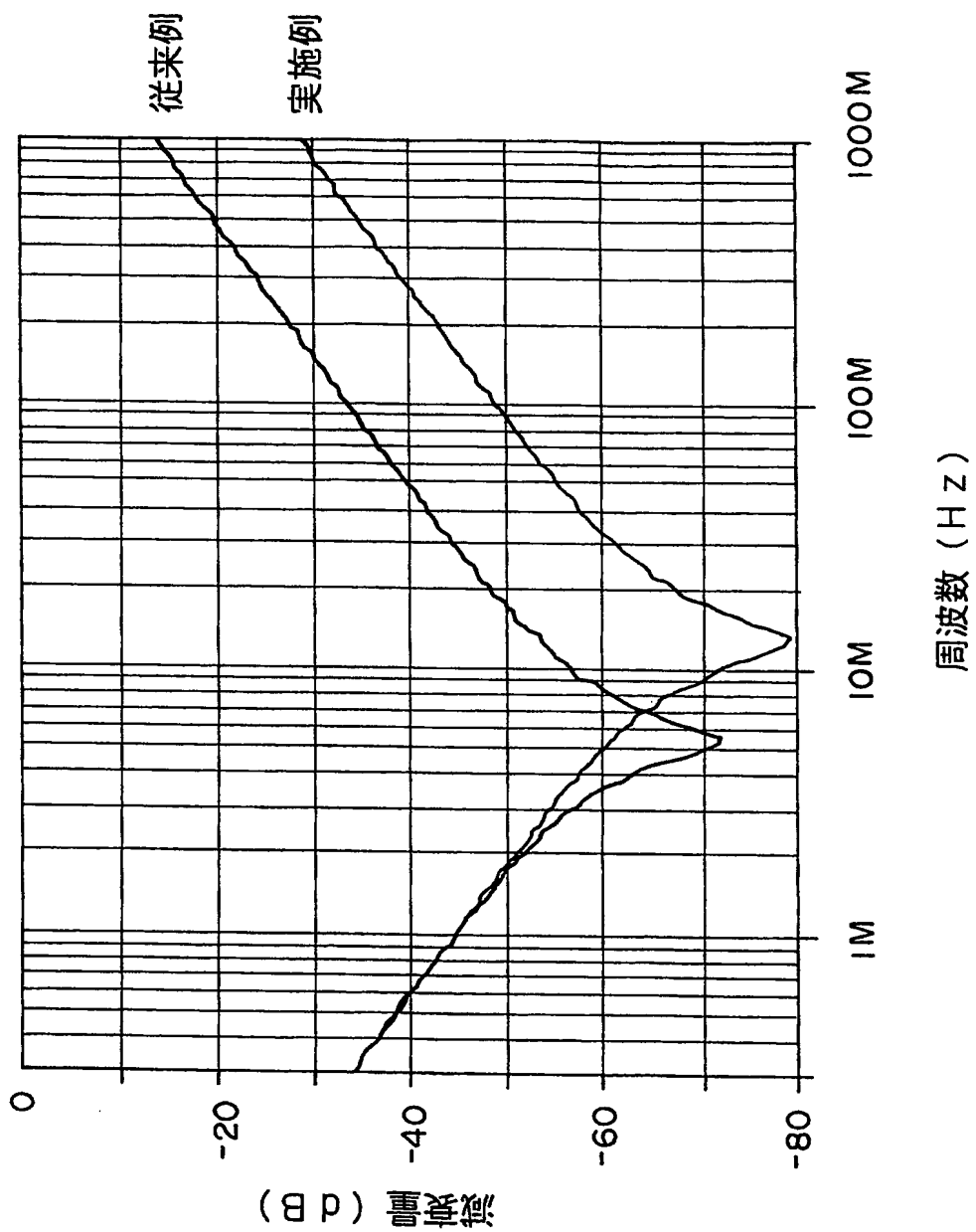
【図 3】



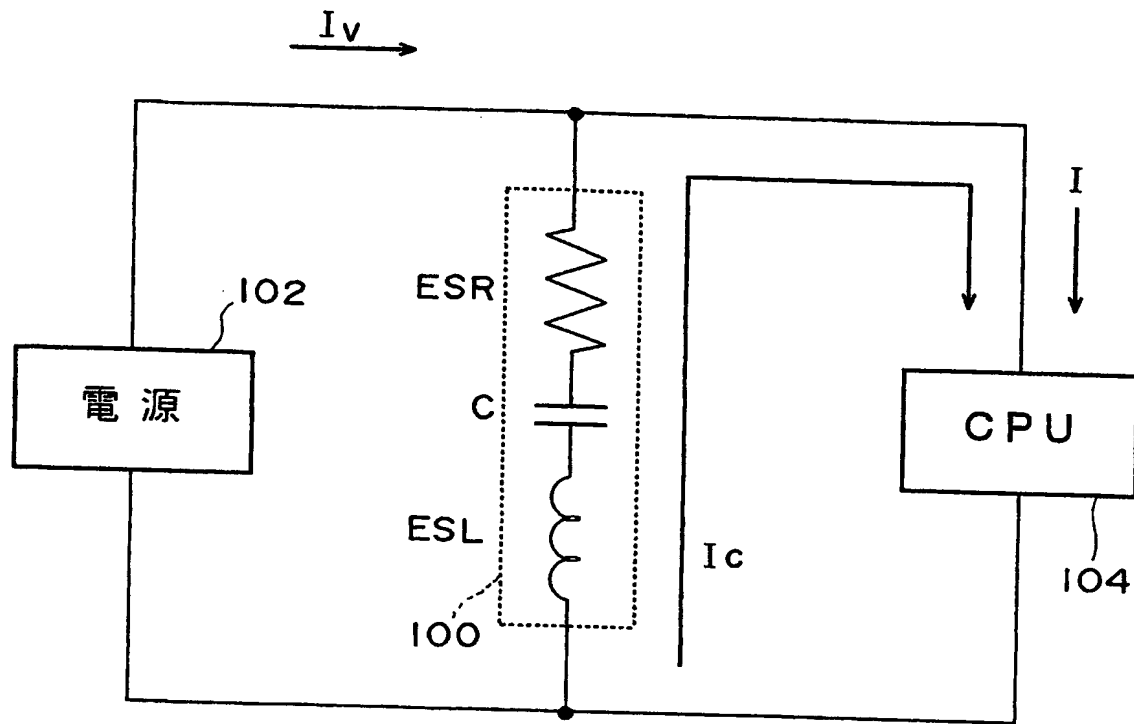
【図 4】



【図 5】

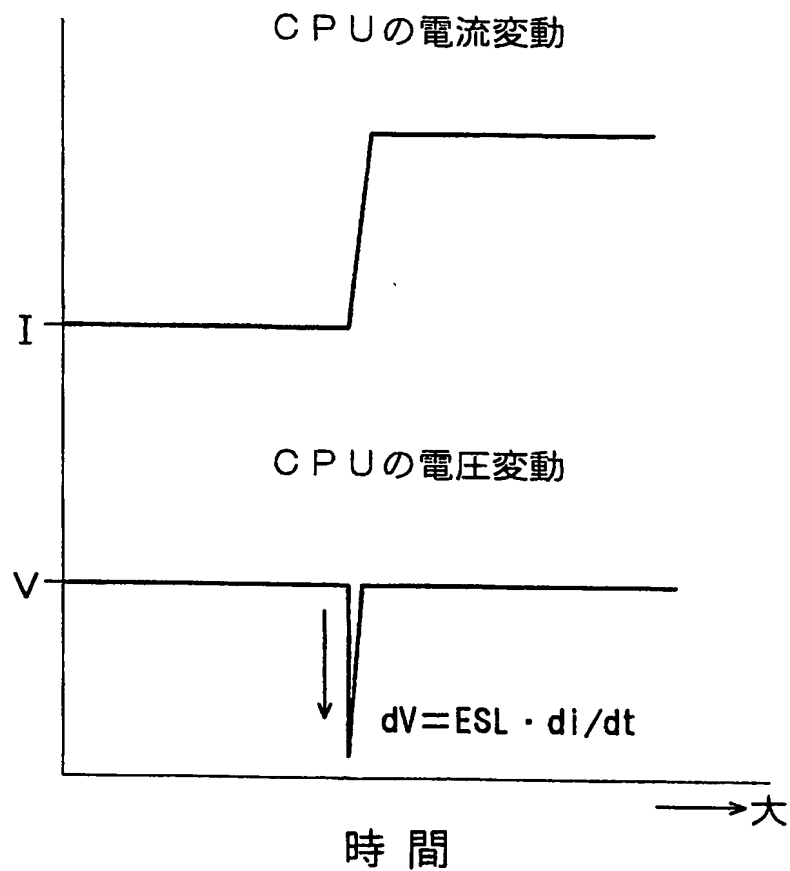


【図 6】

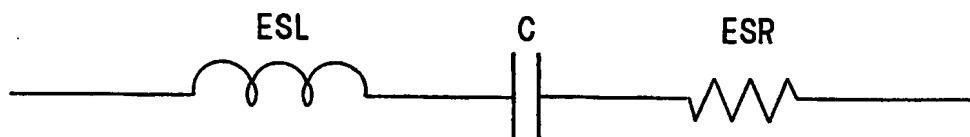


I : CPUの駆動電流
 I_c : コンデンサからの放電電流
 I_v : 電源からの電流

【図 7】

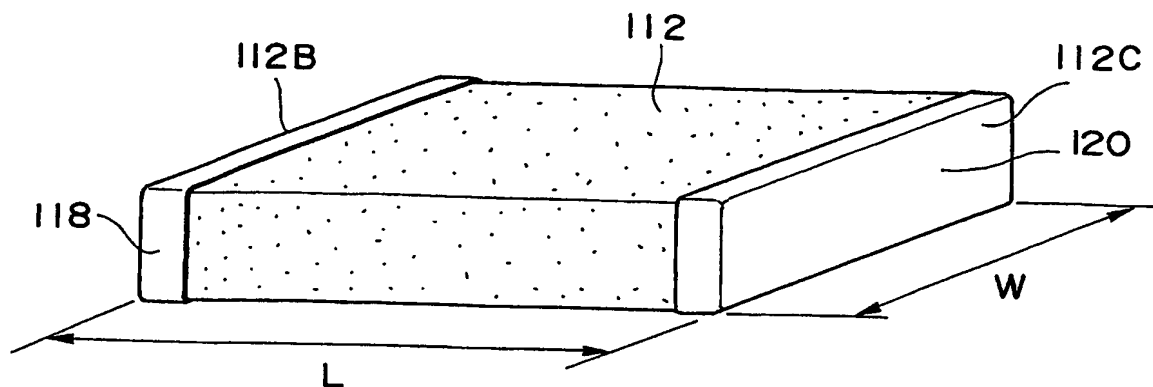


【図 8】

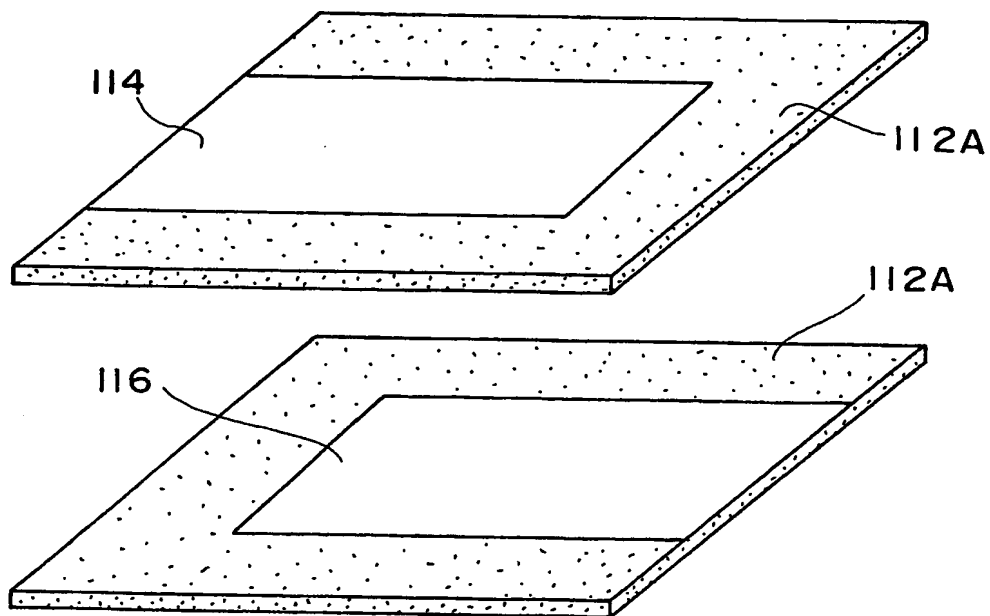


C: 静電容量
ESR: 等価直列抵抗
ESL: 等価直列インダクタンス

【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 E S L を大幅に低減する。

【解決手段】 誘電体素体内に、分割導体 21、22、23、内部導体 27、分割導体 24、25、26 及び内部導体 28 が、上から順に配置される。分割導体 21、22、23 は、同一平面内において相互に並んで延びる形に分割されて、誘電体素体の相互に対向する二側面に出される。分割導体 24、25、26 は、同一平面内において相互に並んで延びる形に分割されて、誘電体素体の相互に対向する二側面に交互であって、分割導体 21、22、23 と逆に引き出される。6 つの分割導体 21～26 がそれぞれ引き出された相互に対向する二側面と異なる誘電体素体の相互に対向する二側面に、一対の内部導体 27、28 がそれぞれ引き出される。

【選択図】 図 1

特願 2002-264821

出 願 人 履 歴 情 報

識別番号

[000003067]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都中央区日本橋1丁目13番1号

氏 名

ティーディーケイ株式会社

2. 変更年月日

2003年 6月27日

[変更理由]

名称変更

住 所

東京都中央区日本橋1丁目13番1号

氏 名

TDK株式会社